

(11)特許出願公開番号  
特開2002-358044  
(P2002-358044A)

(43)公開日 平成14年12月13日(2002. 12. 13)

(51)Int.Cl.	識別記号	F I	テーマコード(参考)
G 0 9 G 3/28		G 0 9 G 3/20	6 1 2 G 5 C 0 8 0
3/20	6 1 2		6 2 3 R
	6 2 3		6 4 1 E
	6 4 1		6 7 0 M
	6 7 0	3/28	N
		審査請求 未請求 請求項の数4	OL (全 10 頁) 最終頁に続く

(21)出願番号 特願2001-163835(P2001-163835)

(22)出願日 平成13年5月31日(2001.5.31)

(71)出願人 000005016

バイオニア株式会社  
東京都目黒区目黒1丁目4番1号

(71)出願人 398050283

静岡バイオニア株式会社  
静岡県袋井市鷺巣字西ノ谷15の1

(72)発明者 井手 茂生

山梨県中巨摩郡田富町西花輪2680番地 静  
岡バイオニア株式会社甲府事業所内

(74) 代理人 100079119

弁理士 藤村 元彦

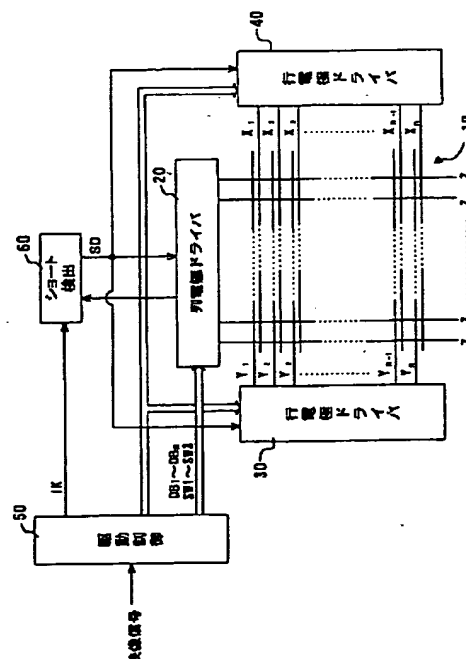
**最終頁に続く**

(54) 【発明の名称】 プラズマディスプレイ装置

(57) 【要約】

【課題】 プラズマディスプレイパネルの電極を駆動するドライバに流れる過大電流を確実に防止することが出来るプラズマディスプレイ装置を提供することを目的とする。

【解決手段】 発光維持期間中において検出した列電極ドライバ内の電源ライン上の電流又は電位に基づいて列電極ドライバの内部ショート状態を検出して、電源を遮断する。



## 【特許請求の範囲】

【請求項1】 表示ラインに対応した複数の行電極対と前記行電極対の各々に交叉して配列された複数の列電極とを有し前記行電極対及び前記列電極の各交叉部に画素を担う放電セルが形成されているプラズマディスプレイパネルを備え、1フィールドの表示期間を、夫々がアドレス期間と発光維持期間とからなる複数のサブフィールドで構成して前記プラズマディスプレイパネルに対する駆動を行うプラズマディスプレイ装置であって、前記アドレス期間中において前記映像信号に対応した画素データパルスを発生してこれを1表示ライン分毎に順次、前記列電極に印加する列電極ドライバと、前記アドレス期間中において前記画素データパルス各々の印加タイミングに同期して走査パルスを発生してこれを前記行電極対の一方の行電極に順次印加して行くと共に、前記発光維持期間において全ての前記行電極対に交互に繰り返し維持パルスを印加する行電極ドライバと、を有し、前記列電極ドライバは、所定電位を有する電源電位を発生して電源ラインに印加する電源回路と、1表示ライン分毎の前記映像信号に応じて前記電源ライン上の前記電源電位を選択的に前記列電極各々に印加することにより前記画素データパルスを生成するデータパルスドライバと、からなり、

前記発光維持期間において前記電源ライン上の電流値を検出した検出した電流値に基づいて前記列電極ドライバの電源を遮断せしめるドライバ保護手段を更に備えたことを特徴とするプラズマディスプレイ装置。

【請求項2】 前記ドライバ保護手段は、前記電源回路及び前記電源ライン間を接続又は遮断する電源遮断スイッチと、前記発光維持期間において検出した前記電源ライン上の電流値が所定値よりも大である場合に前記データパルスドライバで内部ショートが生じていると判定して前記電源回路及び前記電源ライン間を遮断せしめるべく前記電源遮断スイッチを制御するショート検出回路と、からなることを特徴とする請求項1記載のプラズマディスプレイ装置。

【請求項3】 表示ラインに対応した複数の行電極対と前記行電極対の各々に交叉して配列された複数の列電極とを有し前記行電極対及び前記列電極の各交叉部に画素を担う放電セルが形成されているプラズマディスプレイパネルを備え、1フィールドの表示期間を、夫々がアドレス期間と発光維持期間とからなる複数のサブフィールドで構成して前記プラズマディスプレイパネルに対する駆動を行うプラズマディスプレイ装置であって、前記アドレス期間中において前記映像信号に対応した画素データパルスを発生してこれを1表示ライン分毎に順次、前記列電極に印加する列電極ドライバと、前記アドレス期間中において前記画素データパルス各々の印加タイミングに同期して走査パルスを発生してこれを前記行電極対の一方の行電極に順次印加して行くと共に、

に、前記発光維持期間において全ての前記行電極対に交互に繰り返し維持パルスを印加する行電極ドライバと、を有し、

前記列電極ドライバは、所定電位を有する電源電位を発生して電源ラインに印加する電源回路と、1表示ライン分毎の前記映像信号に応じて前記電源ライン上の前記電源電位を選択的に前記列電極各々に印加することにより前記画素データパルスを生成すると共に、前記アドレス期間の最後尾において所定期間だけ前記電源電位を前記列電極各々に印加した後、全ての前記列電極をハイインピーダンス状態にせしめるデータパルスドライバと、からなり、

前記発光維持期間において前記電源ライン上の電位を検出した検出した電位に基づいて前記列電極ドライバの電源を遮断せしめるドライバ保護手段を更に備えたことを特徴とするプラズマディスプレイ装置。

【請求項4】 前記ドライバ保護手段は、前記電源回路及び前記電源ライン間を接続又は遮断する電源遮断スイッチと、前記発光維持期間において検出した前記電源ライン上の電位が所定電位よりも大である場合に前記データパルスドライバで内部ショートが生じていると判定して前記電源回路及び前記電源ライン間を遮断せしめるべく前記電源遮断スイッチを制御するショート検出回路と、からなることを特徴とする請求項1記載のプラズマディスプレイ装置。

## 【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、プラズマディスプレイ装置に関する。

【0002】

【従来の技術】現在、薄型、平面の表示デバイスとしてプラズマディスプレイパネルが着目されている。図1は、プラズマディスプレイパネルを搭載したプラズマディスプレイ装置の概略構成を示す図である。

【0003】図1において、プラズマディスプレイパネルとしてのPDP10は、 $m$ 個の列電極 $Z_1 \sim Z_m$ と、これら列電極各々と交叉して配列された夫々 $n$ 個の行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ を備えている。これら行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ は、夫々一対の行電極 $X_i (1 \leq i \leq n)$ 及び $Y_i (1 \leq i \leq n)$ にて、PDP10における第1表示ライン～第 $n$ 表示ラインを担っている。列電極 $Z$ と、行電極 $X$ 及び $Y$ との間には、放電ガスが封入されている放電空間が形成されている。そして、この放電空間を含む各行電極対と列電極との各交叉部に、赤色で放電発光する放電セル、緑色で放電発光する放電セル、又は青色で放電発光する放電セルが形成される構造となっている。尚、各放電セルは、放電現象を利用して発光を行うものである為、放電に伴う“発光状態”と、“消灯状態”の2つの状態のみを取りうる。すなわち、最低輝度と、最高輝度の2階調分の輝度しか表現できないのであ

る。

【0004】そこで、駆動装置100は、このような放電セルを有するPDP10にて、映像信号に対応した中間調の輝度表示を実現させるべく、サブフィールド法を用いた階調駆動を行う。サブフィールド法では、1フィールドの表示期間を複数のサブフィールドに分割し、各サブフィールドにそのサブフィールドに対応した放電発光期間を割り当てる。そして、各サブフィールド毎に、その割り当てられた期間だけ、放電セルの各々を入力映像信号に応じて選択的に放電発光せしめる。

【0005】図2は、上述した如き階調駆動を実施すべく、駆動装置100が1サブフィールド内においてPDP10の行電極対及び列電極に印加する各種駆動パルスと、その印加タイミングを示す図である。尚、駆動装置100には、各種駆動パルスを発生する為の行電極ドライバ及び列電極ドライバ(図示せぬ)が搭載されている。

【0006】図2の一斉リセット行程Rcにおいて、行電極ドライバは、正極性のリセットパルス $RP_x$ 及び負極性のリセットパルス $RP_y$ を夫々発生して、これらを図2に示す如く行電極 $X_1 \sim X_m$ 、及び行電極 $Y_1 \sim Y_m$ に夫々印加する。これらリセットパルス $RP_x$ 及び $RP_y$ の印加に応じて、PDP10の全ての放電セルがリセット放電され、各放電セル内には一様に所定量の壁電荷が形成される。

【0007】次に、アドレス行程Wcにおいて、駆動装置100は、入力映像信号に基づき各放電セルに対応した画素データを生成する。列電極ドライバは、各画素データの論理レベルに対応したパルス電圧を有する画素データパルスを発生する。例えば、列電極ドライバは、上記画素データが論理レベル"1"である場合には高電圧、"0"である場合には低電圧(0ボルト)のパルス電圧を有する画素データパルスを生成する。列電極ドライバは、かかる画素データパルスを1表示ライン分(m個)毎にグループ化した画素データパルス群 $DP_1, DP_2, \dots, DP_m$ 各々を、図2に示されるように順次、列電極 $Z_1 \sim Z_m$ に印加して行く。この間、行電極ドライバは、各画素データパルス群DPの印加タイミングに同期して図2に示される如き負極性の走査パルスSPを発生し、これを行電極 $Y_1 \sim Y_m$ へと順次印加して行く。この際、走査パルスSPが印加された表示ラインと、高電圧の画素データパルスが印加された"列"との交差部の放電セルのみに放電(選択消去放電)が生じ、その放電セル内に形成されていた壁電荷が消滅する。

【0008】次に、発光維持行程Icにおいて行電極ドライバは、図2に示されるように、正極性の維持パルス $IP_x$ 及び $IP_y$ を交互に繰り返し発生して、行電極 $X_1 \sim X_m$ 、及び行電極 $Y_1 \sim Y_m$ に印加する。尚、この発光維持行程Icにおいて繰り返し印加する維持パルス $IP_x$ 及び $IP_y$ の回数は、上述した如く各サブフィールド毎に割り当てられた放電発光期間に対応した回数である。こ

れら維持パルスIPの印加に応じて、その放電空間内に壁電荷が残留している放電セルのみのみが、これら維持パルス $IP_x$ 及び $IP_y$ が印加される度に放電(維持放電)する。すなわち、上記アドレス行程Wcにおいて選択消去放電の生じられなかった放電セルのみのみが、各サブフィールドに割り当てられている期間に亘り上記維持放電に伴う発光を繰り返し、その発光状態を維持するのである。

【0009】駆動装置100は、上記一斉リセット行程Rc、アドレス行程Wc、及び発光維持行程Icなる一連の動作を、各サブフィールド毎に実行すべく上記行電極ドライバ及び列電極ドライバを制御する。かかる制御によれば、1フィールドの表示期間を通して、入力映像信号の輝度レベルに対応した回数だけ維持放電に伴う発光が為される。この際、視覚的には、1フィールドの表示期間を通して実施された発光回数に応じた中間輝度が表現される。

【0010】ところで、上述した如き各種駆動パルスは比較的高電圧である為、これら駆動パルスを発生するドライバが誤動作して内部ショートした際には、大電流が長期間に亘ってドライバに流れ込み過大電力損失が生じつつける。そこで、ドライバ各々に電源電圧を供給する共通電源ライン上に過大電流を検出する過大電流検出回路を設けておき、過大電流の検出時に強制的に電源を遮断する電源遮断回路を設ける。この際、上記列電極ドライバは、実際には上記列電極 $Z_1 \sim Z_m$ 各々に対応したm個の独立したドライバである為、上記共通電源ライン上に流れる電流量は画素データにも依存する。よって、列電極ドライバ内の1つのドライバが内部ショートしてこのドライバに大電流が流れ、その影響が上記共通電源ライン上に反映されても、これが過大電流によるものであるか否かを容易に判別することが出来ないという問題が生じた。つまり、例え各ドライバが正常に機能していても、画素データによっては多くのドライバから同時に高電圧の画素データパルスが出力されることがあり、この際、上記共通電源ライン上には大電流が流れることになるからである。

【0011】

【発明が解決しようとする課題】本発明は、上記の問題を解決するためになされたものであり、プラズマディスプレイパネルの電極を駆動するドライバの過大電力損失を確実に防止することが出来るプラズマディスプレイ装置を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明の第1の特徴によるプラズマディスプレイ装置は、表示ラインに対応した複数の行電極対と前記行電極対の各々に交叉して配列された複数の列電極とを有し前記行電極対及び前記列電極の各交差部に画素を担う放電セルが形成されているプラズマディスプレイパネルを備え、1フィールドの表示期間を、夫々がアドレス期間と発光維持期間とからなる複

数のサブフィールドで構成して前記プラズマディスプレイパネルに対する駆動を行うプラズマディスプレイ装置であって、前記アドレス期間中において前記映像信号に対応した画素データパルスを発生してこれを1表示ライン分毎に順次、前記列電極に印加する列電極ドライバと、前記アドレス期間中において前記画素データパルス各々の印加タイミングに同期して走査パルスを発生してこれを前記行電極対の一方の行電極に順次印加して行くと共に、前記発光維持期間において全ての前記行電極対に交互に繰り返し維持パルスを印加する行電極ドライバと、を有し、前記列電極ドライバは、所定電位を有する電源電位を発生して電源ラインに印加する電源回路と、1表示ライン分毎の前記映像信号に応じて前記電源ライン上の前記電源電位を選択的に前記列電極各々に印加することにより前記画素データパルスを生成するデータパルスドライバと、からなり、前記発光維持期間において前記電源ライン上の電流値を検出してこの検出した電流値に基づいて前記列電極ドライバの電源を遮断せしめるドライバ保護手段を更に備える。

【0013】又、本発明の第2の特徴によるプラズマディスプレイ装置は、表示ラインに対応した複数の行電極対と前記行電極対の各々に交叉して配列された複数の列電極とを有し前記行電極対及び前記列電極の各交叉部に画素を担う放電セルが形成されているプラズマディスプレイパネルを備え、1フィールドの表示期間を、夫々がアドレス期間と発光維持期間とからなる複数のサブフィールドで構成して前記プラズマディスプレイパネルに対する駆動を行うプラズマディスプレイ装置であって、前記アドレス期間中において前記映像信号に対応した画素データパルスを発生してこれを1表示ライン分毎に順次、前記列電極に印加する列電極ドライバと、前記アドレス期間中において前記画素データパルス各々の印加タイミングに同期して走査パルスを発生してこれを前記行電極対の一方の行電極に順次印加して行くと共に、前記発光維持期間において全ての前記行電極対に交互に繰り返し維持パルスを印加する行電極ドライバと、を有し、前記列電極ドライバは、所定電位を有する電源電位を発生して電源ラインに印加する電源回路と、1表示ライン分毎の前記映像信号に応じて前記電源ライン上の前記電源電位を選択的に前記列電極各々に印加することにより前記画素データパルスを生成すると共に、前記アドレス期間の最後尾において所定期間だけ前記電源電位を前記列電極各々に印加した後、全ての前記列電極をハイインピーダンス状態にせしめるデータパルスドライバと、からなり、前記発光維持期間において前記電源ライン上の電位を検出してこの検出した電位に基づいて前記列電極ドライバの電源を遮断せしめるドライバ保護手段を更に備える。

【0014】

【発明の実施の形態】以下、本発明の実施例を図面を参

照しつつ詳細に説明する。図3は、本発明によるプラズマディスプレイ装置の概略構成を示す図である。図3において、プラズマディスプレイパネルとしてのPDP10は、 $m$ 個の列電極 $Z_1 \sim Z_m$ と、これら列電極各々と交叉して配列された夫々 $n$ 個の行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ を備えている。これら行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ は、夫々対の行電極 $X_i (1 \leq i \leq n)$ 及び $Y_i (1 \leq i \leq n)$ にて、PDP10における第1表示ライン～第 $n$ 表示ラインを担っている。列電極 $Z$ と、行電極 $X$ 及び $Y$ との間には、放電ガスが封入されている放電空間が形成されている。そして、この放電空間を含む各行電極対と列電極との各交叉部に、赤色で放電発光する放電セル、緑色で放電発光する放電セル、又は青色で放電発光する放電セルが形成される構造となっている。

【0015】行電極ドライバ30は、駆動制御回路50から供給されたタイミング信号に応じて、図4に示されるが如き負極性のリセットパルス $RP_x$ 、及び正極性の維持パルス $IP_x$ を発生してPDP10の行電極 $X_1 \sim X_n$ に印加する。行電極ドライバ40は、駆動制御回路50から供給されたタイミング信号に応じて、図4に示されるが如き正極性のリセットパルス $RP_y$ 、走査パルス $SP$ 及び維持パルス $IP_y$ を発生してPDP10の行電極 $Y_1 \sim Y_n$ に印加する。

【0016】列電極ドライバ20は、駆動制御回路50から供給された画素データビット $DB_1 \sim DB_m$ 各々の論理レベルに対応したパルス電圧を有する画素データパルスを発生する。そして、列電極ドライバ20は、かかる画素データパルスを1表示ライン分( $m$ 個)毎にグループ化した画素データパルス群 $DP_1 \sim DP_m$ の各々を、順次、PDP10の列電極 $Z_1 \sim Z_m$ に印加して行く。

【0017】図5は、列電極ドライバ20の内部構成を示す図である。図5に示すように、列電極ドライバ20は、電源回路21及び画素データパルス発生回路22から構成される。電源回路21におけるコンデンサC1は、その一端がPDP10のアース電位 $V_s$ に設定されている。スイッチング素子S1は、上記駆動制御回路50から論理レベル"0"のスイッチング信号 $SW1$ が供給されている間はオフ状態にある。一方、かかるスイッチング信号 $SW1$ の論理レベルが"1"である場合にはオン状態となって、上記コンデンサC1の他端に生じた電位をコイルL1、ダイオードD1及び電源遮断スイッチ $SWX$ を介して電源ライン2上に印加する。スイッチング素子S2は、上記駆動制御回路50から論理レベル"0"のスイッチング信号 $SW2$ が供給されている間はオフ状態である一方、かかるスイッチング信号 $SW2$ の論理レベルが"1"である場合にはオン状態となって上記電源ライン2上の電位を電源遮断スイッチ $SWX$ 、コイルL2及びダイオードD2を介して上記コンデンサC1の他端に印加する。この際、コンデンサC1は、上記電源ライン2上の電位によって充電される。スイッチング素子S

3は、上記駆動制御回路50から論理レベル"0"のスイッチング信号SW3が供給されている間はオフ状態である一方、かかるスイッチング信号SW3の論理レベルが"1"である場合にはオン状態となって直流電源B1による電源電位Vaを電源遮断スイッチSWXを介して電源ライン2上に印加する。尚、直流電源B1の負側端子は上記アース電位Vsに設定されている。又、電源遮断スイッチSWXは、後述するが如く、ショート検出回路60から論理レベル"1"のショート検出信号SDが供給されている場合を除き、常にオン状態に固定されている。

【0018】尚、駆動制御回路50は、図6に示す如きシーケンスにて推移するスイッチング信号SW1～SW3を上記電源回路21のスイッチング素子S1～S3に夫々供給する。先ず、駆動行程G1では、スイッチング素子S1～S3の内のスイッチング素子S1のみがオン状態となり、コンデンサC1に蓄えられていた電荷が放電される。すると、上記放電に伴う放電電流が、スイッチング素子S1、コイルL1、ダイオードD1、及び電源遮断スイッチSWXを介して電源ライン2に流れ込む。この際、上記コンデンサC1による放電、及びコイルL1及び負荷容量C<sub>1</sub>による共振作用により電源ライン2上の電位は図6に示す如く徐々に上昇する。

【0019】次に、駆動行程G2では、スイッチング素子S1～S3の内のスイッチング素子S3のみがオン状態となるので、直流電源B1による電位Vaが直接、電源ライン2上に印加される。次に、駆動行程G3では、スイッチング素子S3がオフ状態、スイッチング素子S2がオン状態に切り替わる。スイッチング素子S3がオフ状態に切り替わると、上記電位Vaの印加が停止する。そして、スイッチング素子S2がオン状態となるので、PDP10の負荷容量C<sub>2</sub>が放電を開始し、この放電により、列電極Z<sub>1</sub>、スイッチング素子SWZ<sub>1</sub>、電源ライン2、電源遮断スイッチSWX、コイルL2、ダイオードD2、及びスイッチング素子S2を介してコンデンサC1に電流が流れ込む。すなわち、PDP10の負荷容量C<sub>2</sub>内に蓄積された電荷が、電源回路21のコンデンサC1に回収されるのである。このとき、コイルL2及び負荷容量C<sub>2</sub>で決まる時定数により、電源ライン2上の電位は図6に示す如く徐々に低下する。

【0020】上記駆動行程G1～G3なる動作を繰り返し実行することにより、電源回路21は、図6に示す如き所定の振幅V<sub>1</sub>を有する共振パルス電源電位PVを発生し、これを電源ライン2上に印加する。一方、図5に示す画素データパルス発生回路22は、PDP10の列電極Z<sub>1</sub>～Z<sub>n</sub>各々に対応して設けられたデータパルスドライバDV<sub>1</sub>～DV<sub>n</sub>から構成される。データパルスドライバDV<sub>1</sub>～DV<sub>n</sub>各々には、夫々に対応させて駆動制御回路50から、上記画素データビットDB<sub>1</sub>～DB<sub>n</sub>が供給される。各データパルスドライバDVは、このデータ

パルスドライバDVに供給された画素データビットDBに応じて電源ライン2及び列電極Z間を接続及び遮断するデータスイッチング素子SWZ<sub>1</sub>と、列電極Zをアース電位Vsに設定するデータスイッチング素子SWZ<sub>2</sub>とから構成される。データスイッチング素子SWZ<sub>1</sub>は、例えば画素データビットDBが論理レベル"1"である場合にはオン状態となって電源ライン2及び列電極Z間を接続する一方、論理レベル"0"である場合にはオフ状態となって電源ライン2及び列電極Z間の接続を遮断する。データスイッチング素子SWZ<sub>2</sub>は、この画素データビットDBが論理レベル"1"である場合にはオフ状態となって電源ライン2及び列電極Z間を接続する一方、論理レベル"0"である場合にはオン状態となり列電極Zをアース電位Vsに設定する。つまり、データスイッチング素子SWZ<sub>1</sub>及びSWZ<sub>2</sub>は、画素データビットDBの論理レベルに基づいて相補的にオン状態及びオフ状態になるのである。これにより、各データパルスドライバDVは、このデータパルスドライバDVに対応させて駆動制御回路50から供給された画素データビットDBが論理レベル"1"である場合には、その間、図6に示す如き共振パルス電源電位PVを列電極Zに印加する。つまり、これが前述した如き高電圧の画素データパルスとなる。一方、画素データビットDBが論理レベル"1"である場合には、データパルスドライバDVは、アース電位Vsを列電極Zに印加する。つまり、これが前述した如き低電圧の画素データパルスとなる。

【0021】図3に示すショート検出回路60は、駆動制御回路50から供給された発光維持信号IKに応じて列電極ドライバ20の電源ライン2上に流れる電流値を検出し、その電流値に基づいて、データパルスドライバDV<sub>1</sub>～DV<sub>n</sub>各々内の少なくとも1において内部ショートが生じているか否かを検出する。すなわち、ショート検出回路60は、データパルスドライバDV内に形成されているデータスイッチング素子SWZ<sub>1</sub>及びSWZ<sub>2</sub>が同時にオン状態になっているか否か(ショートしているか否か)を検出するのである。そして、ショート検出回路60は、その検出結果を示すショート検出信号SDを行電極ドライバ30、40及び列電極ドライバ20の電源遮断スイッチSWXに供給する。

【0022】駆動制御回路50は、前述した如きサブフィールド法を用いてPDP10を階調駆動させるべく、列電極ドライバ20、行電極ドライバ30及び行電極ドライバ40各々を制御する。つまり、駆動制御回路50は、1フィールド表示期間を複数のサブフィールドに分割し、各サブフィールド毎に、図4に示す如き駆動を実施させるべく上記各種ドライバの各々を制御するのである。かかる制御により、列電極ドライバ20、行電極ドライバ30及び行電極ドライバ40各々は、以下の如きタイミングにて各種駆動パルスを発生してPDP10を駆動する。

【0023】 先ず、図4に示す一斉リセット行程Rcでは、行電極ドライバ30は、負極性のリセットパルスR<sub>Px</sub>を発生し、これを行電極X<sub>1</sub>～X<sub>n</sub>の各々に一斉に印加する。上記リセットパルスR<sub>Px</sub>と同時に、行電極ドライバ40は、図4に示す如き正極性のリセットパルスR<sub>Py</sub>を発生し、これを行電極Y<sub>1</sub>～Y<sub>n</sub>の各々に一斉に印加する。これらリセットパルスR<sub>Px</sub>及びR<sub>Py</sub>の印加に応じて、PDP10の全ての放電セルがリセット放電され、各放電セル内には一様に所定量の壁電荷が形成される。尚、かかる一斉リセット行程Rcの実行中、駆動制御回路50は、図4に示す如く論理レベル"0"の発光維持信号IKをショート検出回路60に供給する。

【0024】 次に、図4に示すアドレス行程Wcでは、駆動制御回路50は、入力された映像信号を各画素毎の例えば8ビットの画素データに変換し、この画素データを各ビット桁毎に分割した画素データビットDBを得る。そして、駆動制御回路50は、同一ビット桁同士にて、各行毎に、その行に属する第1列～第m列各々に対応した画素データビットDB<sub>1</sub>～DB<sub>m</sub>を抽出し、これらを行電極ドライバ20に供給する。この際、列電極ドライバ20は、画素データビットDB<sub>1</sub>～DB<sub>m</sub>の論理レベルに対応したパルス電圧を有する画素データパルスを発生する。例えば、列電極ドライバ20は、上記画素データが論理レベル"1"である場合には高電圧、"0"である場合には低電圧(0ボルト)のパルス電圧を有する画素データパルスを発生する。列電極ドライバ20は、かかる画素データパルスを1表示ライン分(m個)毎にグループ化した画素データパルス群DP<sub>1</sub>、DP<sub>2</sub>、……、DP<sub>n</sub>各々を、図4に示されるように順次、列電極Z<sub>1</sub>～Z<sub>n</sub>に印加して行く。更に、かかるアドレス行程Wcにおいて、行電極ドライバ40は、上記画素データパルス群DP各々の印加タイミングに同期して図4に示されるが如き負極性の走査パルスSPを発生し、これを行電極Y<sub>1</sub>～Y<sub>n</sub>へと順次印加して行く。この際、走査パルスSPが印加された表示ラインと、高電圧の画素データパルスが印加された列電極との交差部の放電セルのみに放電(選択消去放電)が生じ、その放電セル内に形成されていた壁電荷が消滅する。

【0025】 尚、かかるアドレス行程Wcの実行中、駆動制御回路50は、図4に示す如く論理レベル"0"の発光維持信号IKをショート検出回路60に供給する。次に、図4に示す発光維持行程Icにおいて、行電極ドライバ30及び40は、図4に示されるように、正極性の維持パルスIP<sub>x</sub>及びIP<sub>y</sub>を交互に繰り返し発生して、行電極X<sub>1</sub>～X<sub>n</sub>及び行電極Y<sub>1</sub>～Y<sub>n</sub>に印加する。尚、この発光維持行程Icにおいて繰り返し印加する維持パルスIP<sub>x</sub>及びIP<sub>y</sub>の回数は、各サブフィールド毎に割り当てられた放電発光期間に対応した回数である。これら維持パルスIPの印加に応じて、その放電空間内に壁電荷が残留している放電セルのみのみが、これら維持パルスI

P<sub>x</sub>及びIP<sub>y</sub>が印加される度に放電(維持放電)する。すなわち、上記アドレス行程Wcにおいて選択消去放電の生じられなかった放電セルのみのみが、各サブフィールドに割り当てられている期間に亘り上記維持放電に伴う発光を繰り返し、その発光状態を維持するのである。

【0026】 駆動制御回路50は、上記一斉リセット行程Rc、アドレス行程Wc、及び発光維持行程Icでの動作を、各サブフィールド毎に実行すべく上記列電極ドライバ20、行電極ドライバ30及び40を制御する。ここで、駆動制御回路50は、上記発光維持行程Icの実行中には、図4に示す如き論理レベル"1"の発光維持信号IKをショート検出回路60に供給する。かかる論理レベル"1"の発光維持信号IKが供給されている間に限り、ショート検出回路60は、列電極ドライバ20内の上記電源ライン2に流れる電流が所定電流よりも大であるか否かの判定を行う。この際、小であると判定された場合には、ショート検出回路60は、列電極ドライバ20のデータパルスドライバDV各々において内部ショートが生じていないと判断して、論理レベル"0"のショート検出信号SDを出力する。一方、電源ライン2上の電流が所定電流よりも大であると判定された場合には、データパルスドライバDV各々のいずれか1のデータスイッチング素子SWZがショートしていると判断して、論理レベル"1"のショート検出信号SDを出力する。かかる論理レベル"1"のショート検出信号SDに応じて、行電極ドライバ30及び40各々内に設けられている電源回路(図示せぬ)が強制的にオフ状態にされる。又、列電極ドライバ20の電源遮断スイッチSWXは、上記ショート検出信号SDが論理レベル"0"である間は電源回路21の発生した共振パルス電源電位PVを電源ライン2上に中継する一方、論理レベル"1"である間は、上記共振パルス電源電位PVの電源ライン2への供給を停止する。

【0027】 すなわち、列電極ドライバ20の各データパルスドライバDV内に形成されているデータスイッチング素子SWZ<sub>1</sub>及びSWZ<sub>2</sub>が正常に動作している場合(非ショート状態)には、上記電源ライン2上に流れる電流は図7(a)に示す如く推移する。つまり、図7(a)に示すように、アドレス行程Wcの実行時には電源ライン2上に所定電流I<sub>ps</sub>よりも高電流が流れるが、発光維持行程Icの実行時にはその電流値は0に推移するのである。ところが、データパルスドライバDV<sub>1</sub>～DV<sub>n</sub>各々の内、少なくとも1つで内部ショートが生じていると、発光維持行程Icの実行時においても電源ライン2上に流れる電流は所定電流I<sub>ps</sub>よりも高電流となる。すなわち、データパルスドライバDV内において内部ショートが生じる(データスイッチング素子SWZ<sub>1</sub>及びSWZ<sub>2</sub>が同時にオン状態になると、電源回路21が発生した共振パルス電源電位PVに基づく電流が、電源ライン2、SWZ<sub>1</sub>及びSWZ<sub>2</sub>なる経路に流れ込む。これによ

り、電源ライン2上の電流値が所定電流 $I_{pr}$ を超えるのである。この際、データスイッチング素子 $SWZ_1$ は、 $SWZ_1$ に比して耐圧が低いので上記所定電流 $I_{pr}$ を超えるような高電流が長時間流れ込むと過大電力損失が生じる。

【0028】そこで、上記ショート検出回路60では、図7に示す如き発光維持行程1cの実行期間中においてのみで電源ライン2上の電流が所定電流 $I_{pr}$ よりも高いか否かを判定することにより、データバスドライバDV各々内の少なくとも1において内部ショートが生じているか否か検出するようにしたのである。そして、この内部ショート状態を検出した場合には、電源遮断スイッチ $SWX$ によって、電源回路21が発生した共振パルス電源電位PVのデータバスドライバDVへの供給を強制的に停止させるのである。

【0029】よって、上記ショート検出回路60及び電源遮断スイッチ $SWX$ からなるドライバ保護手段によれば、データバスドライバDV<sub>1</sub>～DV<sub>n</sub>各々の1つだけに内部ショートが生じていても、これを確実に検出して電源遮断することができる。従って、このドライバ保護手段によれば、内部ショートに伴う過電流から列電極ドライバ20を確実に保護することができるようになるのである。

【0030】尚、上記ショート検出回路60では、電源ライン2上の電流値に基づいてデータバスドライバの内部ショートを検出するようにしているが、電源ライン2上の電位変化によっても内部ショートを検出することが可能である。この際、駆動制御回路50は、アドレス行程Wcの最後尾、つまり画素データパルス群DP<sub>n</sub>の印加後に、図8に示す如きスイッチング信号SW3の論理レベルを"0"から"1"へ推移させて電源回路21のスイッチング素子S3をオン状態に設定する(ショート検出予備行程YB)。よって、直流電源B1による電位Vaが電源ライン2上に印加される。更に、かかるショート検出予備行程YBにおいて、駆動制御回路50は、全てのデータバスドライバDV<sub>1</sub>～DV<sub>n</sub>各々のデータスイッチング素子 $SWZ_1$ 及び $SWZ_n$ を共にオフ状態に設定する。かかるショート検出予備行程YBの実行後、駆動制御回路50は、スイッチング信号SW3の論理レベルを"1"から"0"へ推移させてスイッチング素子S3をオフ状態に切り換える。これにより、図8に示す如く、スイッチング素子S1～S3が全てオフ状態となる。この際、データスイッチング素子 $SWZ_1$ 及び $SWZ_n$ がショートしていなければ、電源ライン2はハイインピーダンス状態となり、電源ライン2上の電位は、図8に示す如く、上記ショート検出予備行程YBの段階で電源ライン2上に印加された電位Vaに維持される。一方、データスイッチング素子 $SWZ_1$ 及び $SWZ_n$ が共にショートしている、つまり上記ショート検出予備行程YBにて両者を共にオフ状態に設定したにも拘わらず、 $SWZ_1$ 及び

$SWZ_n$ がショートしていると、電源ライン2上の電位は0である。そこで、ショート検出回路60は、上記ショート検出予備行程YBの実行後の発光維持行程1cの実行中において、上記電源ライン2上の電位が図8に示す如き所定電位 $V_{pr}$ よりも大であるか否かを判定する。この際、電源ライン2上の電位が上記所定電位 $V_{pr}$ よりも大であると判定した場合には、ショート検出回路60は、全てのデータバスドライバにおいて内部ショートが生じていないことを示す論理レベル"0"のショート検出信号SDを列電極ドライバ20、行電極ドライバ30及び40に供給する。一方、小であると判定した場合には、ショート検出回路60は、少なくとも1つのデータバスドライバ内において内部ショートが生じていることを示す論理レベル"1"のショート検出信号SDを発生して、列電極ドライバ20、行電極ドライバ30及び40に供給する。

【0031】又、上記実施例においては、電源回路21として、図5に示す如きコンデンサC1、コイルL1及びL2を用いた共振電源を採用しているが、これに限らず、単なる直流電源、もしくはポンプアップ電源を採用しても良い。図9は、ポンプアップ電源を採用した場合における電源回路21の他の内部構成を示す図である。

【0032】図9に示す如く、ポンプアップ電源を採用した場合、電源回路21は、直流電圧源BB、ダイオードDD、コンデンサCC、PチャンネルのFET (field effect transistor) Q1、NチャンネルのFET Q2、及び電源遮断スイッチ $SWX$ から構成される。尚、電源遮断スイッチ $SWX$ の動作は図5に示されるものと同一であり、前述した如きショート状態の検出時以外はオン状態固定となっている。

【0033】直流電圧源BBは、画素データパルスのパルス電圧値 $V_1$ の略1/2の電位である電位 $(1/2)V_1$ を発生してダイオードDDのアノード端及びFET Q1のソース端に印加する。FET Q1のドレイン端には、FET Q2のドレイン端及びコンデンサCCの一端が接続されている。FET Q2のソース端はアース電位に設定されている。コンデンサCCの他端及びダイオードDDのカソード端は互いに接続されており、その接続端が電源遮断スイッチ $SWX$ を介して電源ライン2に接続されている。FET Q1及びQ2各々のゲート端には、駆動制御回路50からの電源駆動信号BGが供給されている。この際、FET Q1は、上記電源駆動信号BGが論理レベル"1"である間はオフ状態となるが、論理レベル"0"である間はオン状態となり、上記直流電圧源BBが発生した電位 $(1/2)V_1$ をコンデンサCCの一端に供給する。一方、FET Q2は、上記電源駆動信号BGが論理レベル"0"である間はオフ状態となるが、論理レベル"1"である間はオン状態となり、アース電位をコンデンサCCの一端に供給する。

【0034】かかる図9に示す如きポンプアップ電源を

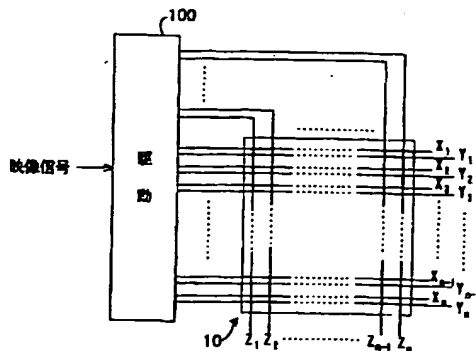
駆動すべく、駆動制御回路50は、図10に示す如き推移を有する電源駆動信号BGを発生する。先ず、電源駆動信号BGが論理レベル"1"である間は、FETQ1がオフ状態、FETQ2がオン状態になるので、直流電源BBが発生した電位 $(1/2)V_1$ がダイオードDD及び電源ライン2を介してコンデンサCCに印加され、このコンデンサCCが充電される。この際、電源ライン2上の電位は図10に示す如く $(1/2)V_1$ となる。ここで、上記電源駆動信号BGが論理レベル"1"から"0"に推移すると、FETQ1がオン状態、FETQ2がオフ状態に切り替わる。よって、電源ライン2上の電位は、ダイオードDDを介して直流電源BBから供給された電位 $(1/2)V_1$ と、コンデンサCCの他端の電位 $(1/2)V_1$ とを加算した電位 $V_1$ となる。以上の如き動作が繰り返し実行されることにより、電源ライン2上に、図10に示す如く電位 $V_1 \sim$ 電位 $(1/2)V_1$ 間で推移するパルス電源電位が生成されるのである。

【0035】又、上記実施例においては、データパルスドライバで内部ショートが検出された場合には、列電極ドライバ20、行電極ドライバ30及び40各々内の電源を遮断するようにしたが、プラズマディスプレイ装置自体の電源を強制的に遮断するようにしても良い。

【0036】

【発明の効果】以上詳述した如く、本発明においては、発光維持期間中においてのみ電源ライン上の電流又は電位を検出し、その検出した電流又は電位に基づいて列電極ドライバ内のショート状態を検出して、電源を遮断するようにしている。かかる構成によれば、列電極ドライバ内に形成されている1つのデータパルスドライバにおいてのみ内部ショートが生じた場合にも、これを容\*30

【図1】



\* 易に検出できるので、ドライバの過大電力損失を確実に防止することが可能となる。

【図面の簡単な説明】

【図1】プラズマディスプレイ装置の概略構成を示す図である。

【図2】サブフィールド法に基づく駆動を採用した際に1サブフィールド内においてPDP10に印加される各種駆動パルスと、その印加タイミングの一例を示す図である。

10 【図3】本発明によるプラズマディスプレイ装置の概略構成を示す図である。

【図4】図3に示されるプラズマディスプレイ装置のPDP10に印加される各種駆動パルスと、その印加タイミングの一例を示す図である。

【図5】列電極ドライバ20の内部構成の一例を示す図である。

【図6】電源回路21の内部動作を示す図である。

【図7】電源回路21の電源ライン2上に流れる電流値の推移を示す図である。

20 【図8】電源ライン2上の電位変化に基づいて内部ショートを検出する際に実施する電源回路21の駆動動作を示す図である。

【図9】電源回路21の他の構成を示す図である。

【図10】図9に示す電源回路21の内部動作を示す図である。

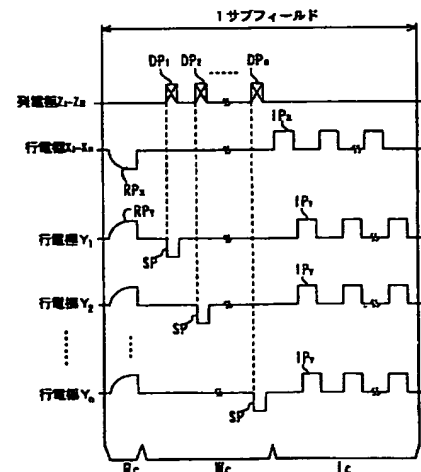
【主要部分の符号の説明】

20 列電極ドライバ

50 駆動制御回路

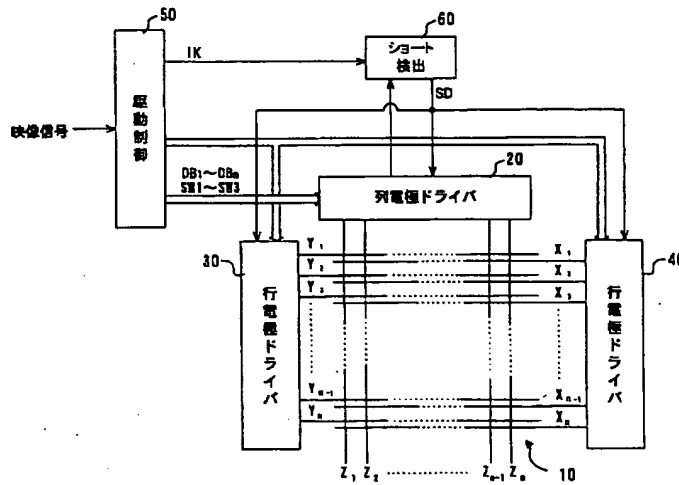
60 ショート検出回路

【図2】

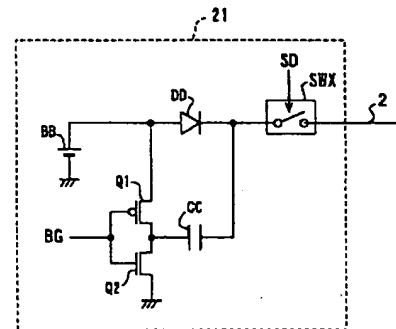




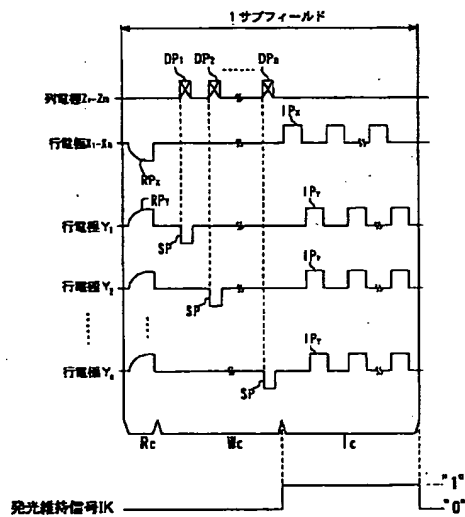
【図3】



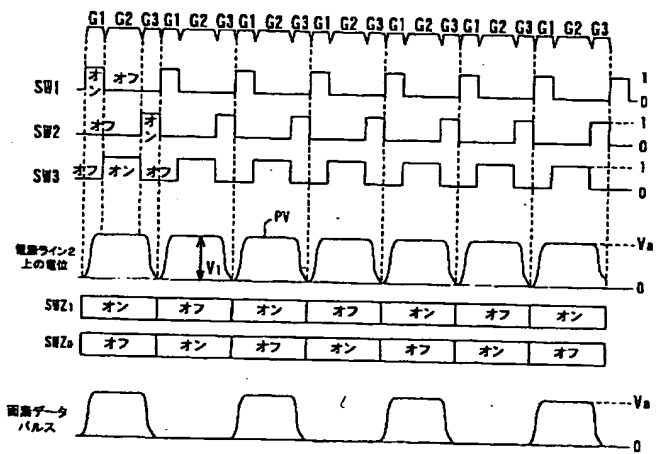
【図9】



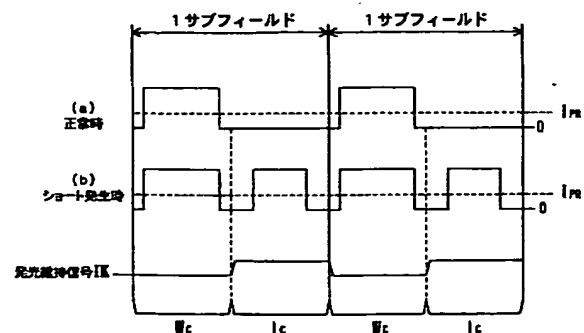
【図4】



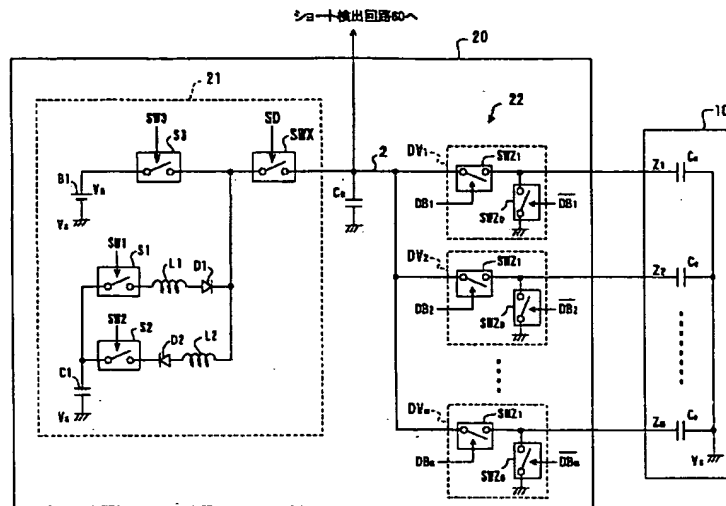
【図6】



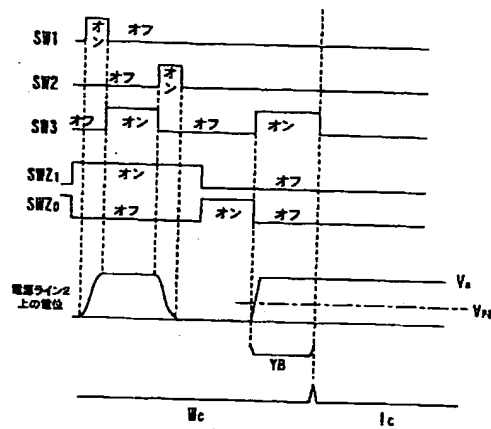
【図7】



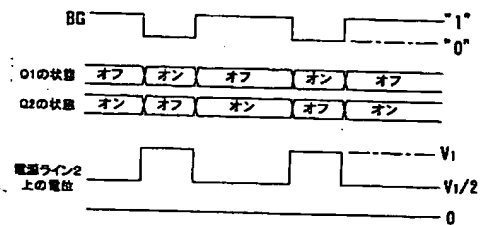
【図5】



【図8】



【図10】



フロントページの続き

(51)Int.Cl.<sup>7</sup>  
G 0 9 G 3/288

識別記号

F I  
G 0 9 G 3/28

テーマコード(参考)

B

(72)発明者 岩見 隆  
山梨県中巨摩郡田富町西花輪2680番地 静  
岡バイオニア株式会社甲府事業所内F ターム(参考) 5C080 AA05 BB05 DD14 DD17 EE29  
HH02 HH05 JJ02 JJ03 JJ04